

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-077553

(43)Date of publication of application : 20.03.1995

(51)Int.Cl.

G01R 31/00

G01R 31/28

G02F 1/13

G02F 1/136

(21)Application number : 05-223230

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 08.09.1993

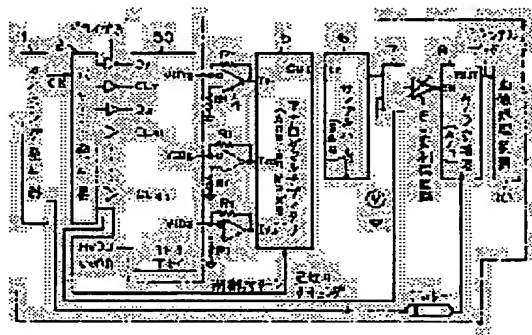
(72)Inventor : HAYASHI MASAKI

## (54) INSPECTION EQUIPMENT OR POLYCRYSTALLINE SILICON THIN FILM TRANSISTOR ARRAY

### (57)Abstract:

**PURPOSE:** To allow inspection of defective pixel for a poly-crystalline silicon thin film transistor(TFT) array substrate prior to liquid crystal injection process by providing an image processor for detecting the defective pixel.

**CONSTITUTION:** Detection signals being arranged in time series by means of an analog multiplexer 5 are sampled and held in the vicinity of maximum level thereof by a sample & hold circuit 6 according to clock signals generated from a timing generator 1. The holding time is set equal to the clock period of the clock signal. An analog waveform having microdifference of height at the output end of the circuit 6 is sliced by a slicing circuit 7 according to a cutback timing pattern before being fed to a variable gain amplifier circuit 8. The amplified signal is subjected to A/D conversion 9 and fed to an image processor 10 where the average value of charge data is calculated for the pixels of a single data line followed by calculation of the difference from the data.



## LEGAL STATUS

[Date of request for examination]

13.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3191073

[Date of registration]

25.05.2001

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3191073号  
(P3191073)

(45) 発行日 平成13年7月23日 (2001.7.23)

(24) 登録日 平成13年5月25日 (2001.5.25)

(51) Int.Cl.  
G 0 1 R 31/00

識別記号

F I  
G 0 1 R 31/00

請求項の数 2 (全 6 頁)

(21) 出願番号	特願平5-223230	(73) 特許権者	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22) 出願日	平成5年9月8日 (1993.9.8)	(72) 発明者	林 正樹 東京都練馬区旭町1丁目32番1号 株式 会社アドバンテスト内
(65) 公開番号	特開平7-77553	(74) 代理人	100066153 弁理士 草野 卓 (外1名)
(43) 公開日	平成7年3月20日 (1995.3.20)		
審査請求日	平成8年3月13日 (1996.3.13)	審査官	関根 洋之
		(56) 参考文献	特開 平3-142499 (J P, A)

最終頁に続く

(54) 【発明の名称】 多結晶シリコン薄膜トランジスタアレイ検査装置

1

(57) 【特許請求の範囲】

【請求項1】 ゲートバス走査用シフトレジスタ及びデータバス走査用シフトレジスタを組み込んだ多結晶シリコン薄膜トランジスタアレイ基板の各画素を順次選択して、直流電圧を印加する駆動回路を具備し、上記アレイ基板内部の各画素を順次選択して、上記直流電圧の印加により蓄積された電荷に応じた放電電流を、各画素毎に検出して出力する検出回路を具備し、上記出力された電荷に応じた放電電流の各ほぼ最大値をサンプルホールドするサンプルホールド回路を具備し、上記サンプルホールド回路の出力から得られた値について、1データバスについての平均値と個々の画素毎の値との間の差をとり、その差により、画素欠陥の検出をする画像処理装置を具備することを特徴とする多結晶シリコン薄膜トランジスタアレイ検査装置。

2

【請求項2】 請求項1に記載される多結晶シリコン薄膜トランジスタアレイ検査装置において、

上記サンプルホールド回路の出力端に接続し出力されるアナログ波形を足切りするスライス回路と、スライス回路の出力端に接続しスライスされた出力を増幅して上記画像処理装置に出力する可変利得増幅回路とを有するものであることを特徴とする多結晶シリコン薄膜トランジスタアレイ検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、多結晶シリコン薄膜トランジスタ（以後、TFT、と称す）アレイ検査装置に関し、特にTFTを使用したアクティブ・マトリックス方式の液晶表示装置を液晶注入工程以前の工程において各画素の寄生容量に蓄積される電荷に着目して画素欠

陥を検出する多結晶シリコンTFTアレ検査装置に関する。

【0002】

【従来の技術】液晶表示装置は、多結晶シリコンTFTアレ基板を先ず構成し、これに液晶を注入して初めて液晶表示装置として動作する状態になる。この液晶表示装置製造工程においては、液晶注入工程に入る以前の多結晶シリコンTFTアレ基板の状態において検査が実施される。ところが、このTFTアレ基板の状態における検査の内容は、TFTアレ基板の内部に線欠陥を検出する線欠陥検出用診断回路を予め内蔵しておいて、これによりTFTアレ基板の状態において断線或は短絡その他の線欠陥の検出をすることである。しかし、液晶表示装置は、TFTアレ基板の状態における上述の線欠陥の検査に合格しさえすれば、液晶注入工程終了後において必ず欠陥のない完成品であるという訳ではない。TFTアレ基板は既に画素欠陥を内包するものであるかも知れないからである。

【0003】液晶表示装置の製造工程における最終工程である液晶注入工程を経ずにその直前の状態であるTFTアレ基板の状態において画素欠陥を検出することができれば、既に画素欠陥を内包するTFTアレ基板に液晶を注入して画素欠陥のある液晶表示装置を製造する無駄を排除することができ、結局、最終製品の歩留まりを向上することができる。ところで、液晶注入工程を経ずにその直前の状態であるTFTアレ基板の状態において画素欠陥を検出する検査装置として、特開平3-142499号公報に記載される「画像表示装置およびその検査方法」がある。この画像表示装置はその第3頁左上欄第12ないし15行に記載される通りの「本発明の画像表示装置の特徴的要件は、水平走査回路2の出力により制御されるアナログスイッチ3の入力部に信号スイッチ8を、出力部にリセット用スイッチ6とソースホロワ回路5を設けることにある。」というものである。

【0004】

【発明が解決しようとする課題】以上の画像表示装置の従来例は、被試験デバイスである多結晶シリコン薄膜トランジスタアレに画素欠陥を検出するに必要とされる回路素子、特に、リセット用スイッチ6とソースホロワ回路5を出力部に設ける必要のある検査装置である。しかし、試験に際して、被試験デバイスである多結晶シリコン薄膜トランジスタアレ各個に検査に必要とされる回路素子をいちいち組み込んで試験を実施することは試験を煩雑、非効率にする。そして、検査に必要とされる回路素子を被試験デバイスに組み込んで検査する場合、組み込んだ回路素子の不良に起因して被試験デバイスの歩留まりを低下する恐れもある。

【0005】この発明は、多結晶シリコンTFTを使用したアクティブ・マトリックス方式の液晶表示装置の製造工程における液晶注入工程以前の状態にあるTFTアレ

基板について、各画素の寄生容量に蓄積される電荷に着目して画素欠陥を検出する上述の問題を解消するTFTアレ検査装置を提供するものである。

【0006】

【課題を解決するための手段】請求項1の発明による多結晶シリコン薄膜トランジスタアレ検査装置は、ゲートバス走査用シフトレジスタ及びデータバス走査用シフトレジスタを組み込んだ多結晶シリコン薄膜トランジスタアレ基板の各画素を順次選択して、直流電圧を印加する駆動回路を具備し、アレ基板内部の各画素を順次選択して、上記直流電圧の印加により蓄積された電荷に応じた放電電流を、各画素毎に検出して出力する検出回路を具備し、出力された電荷に応じた放電電流の各ほぼ最大値をサンプルホールドするサンプルホールド回路を具備し、サンプルホールド回路の出力から得られた値について、1データバスについての平均値と個々の画素毎の値との間の差をとり、その差により、画素欠陥の検出をする画像処理装置を具備する。

【0007】そして請求項2の発明は、請求項1の発明の多結晶シリコン薄膜トランジスタアレ検査装置において、サンプルホールド回路の出力端に接続し出力されるアナログ波形を足切りするスライス回路と、スライス回路の出力端に接続しスライスされた出力を増幅して上記画像処理装置に出力する可変利得増幅回路とを有する。

【0008】

【実施例】図を参照してこの発明の実施例を説明する。図1は走査用シフトレジスタを組み込んだ多結晶シリコンTFTアレ基板であり、図2はこの発明の多結晶シリコンTFTアレ検査装置であり、図3は多結晶TFTアレ基板の多数のデータバスの内の1列のみを示す図である。

【0009】この発明の多結晶シリコンTFTアレ検査装置による画素欠陥の検査は、これを要約するに、多結晶シリコンTFTアレ基板に走査用シフトレジスタ30を組み込み、TFTアレ基板の状態にある未完成の液晶表示装置に完成されたTFT液晶表示装置を動作させる時と同様の通常の駆動パターンを印加することによりTFTアレ基板を動作駆動し、この時にアレ基板内部において画素Pの寄生容量Cに蓄積された或いは関係する電荷を放電電流波形として1画素P毎に取り出してこれを検査することにより画素欠陥の存否を認識するものである。

【0010】ここで、図3はTFTアレ基板の多数のデータバスの内の19<sub>1</sub>のみ1列を示す図であり、これを参照してTFTアレ基板内部において画素Pの寄生容量に蓄積される電荷について説明する。上述の電荷が蓄積される寄生容量としては下記のものが考えられる。

C<sub>gate</sub> : ゲートバス・データバス間寄生容量

50 C<sub>sl</sub> : ゲート・ソース間寄生容量

$C_{g1}$  : ゲート・ドレイン間寄生容量

$C_{d1}$  : ドレイン・ソース間寄生容量

$C_{s1}$  : ソース付加容量

シフトレジスタ30, が1本のゲートバス18を選択して、これにゲート電圧 $V_{g1}$ が印加されている期間に以下の行程を実行する。

【0011】シフトレジスタ30, がゲートバス例えば18, を選択してこれにゲート電圧 $V_{g1}$ が印加されている期間にシフトレジスタ30, が全データバス19を順次に1走査し、対応する各画素Pの画素電極に対して映像端子 $V_{ID1}$ 、 $V_{ID2}$ 、 $V_{ID3}$ からスイッチ20を介してDC電圧を書き込む。DC電圧の書き込みの際、各データバス19についてTFT16, ゲートバス18およびデータバス19が関係する上述の寄生容量を介してこれら寄生容量に電荷が充電される。寄生容量に対する電荷の充電は以下の如くに行なわれる。

【0012】ゲートバス18, に対してゲート電圧 $V_{g1}$ が印加されることにより、TFT16, ゲートバス18, とデータバス19, の間の寄生容量 $C_{g1}$ 、TFT16, の寄生容量 $C_{d1}$ 、 $C_{s1}$ を介して、データバス19, に接続されているTFT16, 以外の寄生容量 $C_{g2}$ 、 $C_{d2}$ 、 $C_{s2}$ とソース付加容量 $C_{s1}$ の和に対して、ゲート電圧 $V_{g1}$ により充電電流が流れる。TFT16, の寄生容量 $C_{g1}$ 、 $C_{d1}$ 、 $C_{s1}$ 、 $C_{g2}$ 、 $C_{d2}$ 、ソース付加容量 $C_{s1}$ は、結局、この充電電流により充電されるに到る。

【0013】次いで、シフトレジスタ30, を更に1走査させることにより上述の通りに寄生容量に蓄積された電荷を放電する。即ち、シフトレジスタ30, を走査させてスイッチ20を順次に導通させることにより、スイッチ20を介して1画素P毎の寄生容量が関係する電荷を放電電流波形として映像端子 $V_{ID}$ を介して取り出す。

【0014】上述の行程をシフトレジスタ30, の走査線数分実施し、1画素P毎の寄生容量Cが関係するデータバス19に蓄積された電荷のデータをTFTアレ基板の全ての画素Pについて採取する。画素欠陥の判定は、1本のデータバス19に着目し、各画素Pの電荷のデータの平均値を計算し、この平均値と各画素Pのデータとの間の差を計算することにより行なう。この処理を実施する理由について説明するに、画素PのTFT16の接続不良に起因する電荷検出量が各データバスの電荷検出量のバラツキより微小であることによる。この電荷検出量のバラツキはスイッチ20の寄生容量、各データバスの配線抵抗、寄生容量に差が生ずることにより発生する。

【0015】ここで、図2に示されるこの発明の多結晶TFTアレ検査装置の動作を図4のタイミングチャートをも参照して説明する。1はタイミング発生器であり、アレ検査装置を動作させる基準クロック信号CK

を発生する。2はパターン発生器であり、タイミング発生器1の発生する基準クロック信号CKに従って被測定装置であるTFTアレ基板50に具備せしめられたシフトレジスタ30, およびシフトレジスタ30, に供給する水平表示駆動パターン $D_x$ 、水平クロック信号 $C_L$ 、垂直表示駆動パターン $D_y$ 、垂直クロック信号 $C_L$ 、後で説明されるアナログマルチプレクサ5の選択制御パターン、スライス回路7の足切りタイミングパターンを発生する。3はそれぞれシフトレジスタ駆動用ドライバである。4は演算増幅回路であり、被測定装置であるTFTアレ基板50を走査駆動することにより映像端子 $V_{ID1}$ 、 $V_{ID2}$ 、 $V_{ID3}$ を介して取り出された1画素P毎の電荷のデータを電圧信号に変換した検出信号を増幅出力する回路である。5はアナログマルチプレクサであり、3個の演算増幅回路4から順次に送り出される電圧増幅出力を受信してこれらを時間的に直列に整列せしめた一連の検出信号にして出力する回路である。6は検出信号をその最大値近傍においてサンプリングするサンプルホールド回路、7はサンプルホールド回路6の出力端に接続し出力されるアナログ波形を足切りするスライス回路、8はスライス回路7の出力端に接続しスライスされた出力を増幅する可変利得増幅回路、9は可変利得増幅回路8の出力端に接続しスライス増幅された出力をAD変換するAD変換器、そして10はAD変換器9の出力端に接続してAD変換後の出力信号処理する画像処理装置である。

【0016】アナログマルチプレクサ5を介して時間的に直列に整列せしめられた電荷のデータを電圧信号に変換した検出信号(図4 Analog MPX'OUT)は、サンプルホールド回路6においてタイミング発生器1の発生する基準クロック信号CK(図4 S & H CLOCK)に従って、その最大値近傍をサンプルホールドされる。ホールド時間はこのクロック信号のクロック周期に等しく設定される。ところが、この発明において得られる1画素P毎の電荷に対応する検出信号の差は極く微小なものであり、サンプルホールドされた結果の波形、即ちサンプルホールド回路6の出力端における波形は図4(S & H OUT)においてはほぼ同等の振幅の波形が連続して水平な波形として表現されている。しかし、この波形は、微視的に観察すると、クロック信号によるサンプリング点を境として画素Pの寄生容量Cの差異に起因する微小に高さを異にする凸凹のアナログ波形なのである。

【0017】サンプルホールド回路6の出力端における上述の微小に高さを異にするアナログ波形は、次いで、スライス回路7において足切りタイミングパターンに従ってスライスされてから可変利得増幅回路8に入力される(図4 利得回路入力)。ところで、この発明において得られる1画素P毎の電荷に対応する検出電圧信号の大きさにおいてソース付加容量 $C_{s1}$ に起因する信号の割合は極めて大きく、殆どを占めており、各画素の寄生容

量に起因する信号の割合は極く小さい。従って、サンプルホールド回路6の出力端における上述の微小に高さを異にするアナログ波形(図4 S & H OUT)は、これをスライス回路7により足切りをして、極く小さい割合の各画素の寄生容量に起因する信号を強調して検出する。このスライス回路7による足切りは、各画素の寄生容量に蓄積される電荷に着目して画素欠陥を検出するこの発明の多結晶シリコンTFTアレイ検査装置において重要な役割を果たしている。次いで、可変利得増幅回路8において増幅された信号(図4 利得回路出力)はAD変換器9においてAD変換後、画像処理装置10に入力されて信号処理される。

【0018】画像処理装置10における信号処理の内容は、1本のデータバスに着目し、各1本のデータバスの各画素のAD変換後の電荷のデータに対応する電圧信号の平均値を計算し、この平均値と個々の画素データの間の差を計算する。即ち、各画素のAD変換後の電荷のデータに対応する電圧信号を累加加算、アベレージング処理することにより、各データバスの平均値を計算する。各データバスの平均値と個々の画素データの間の差を計算、表示することにより、1画素P毎の電荷に対応する検出信号の極く微小な差を認識することができるに到り、画素欠陥を検出することができる。

【0019】

【発明の効果】以上の通りであって、この発明によれば、液晶表示装置の製造工程における最終工程である液晶注入工程を経ずにその直前の状態であるTFTアレイ基板の状態において、各画素の寄生容量に蓄積される電荷に着目して画素欠陥を検出することができる。従って、画素欠陥を内包するTFTアレイ基板に液晶を注入して画素欠陥のある液晶表示装置を製造する無駄を排除する\*

\*ことができ、結局、最終製品の歩留まりを向上することができる。そして、この発明の多結晶シリコンTFTアレイ検査装置は、試験の実施に際して、被試験デバイスである多結晶シリコン薄膜トランジスタアレイ各個に検査に必要とされる回路素子をいちいち組み込む必要はなく、被試験デバイスをそのまま単に適用して被試験デバイスに対して共通に使用することができるものであり、試験を能率的に実施することができる。また、検査に必要とされる回路素子を被試験デバイスに組み込んで検査する場合、組み込んだ回路素子の不良に起因して被試験デバイスの歩留まりを低下する恐れがあるが、この発明の検査装置は回路素子を被試験デバイスに組み込むことはしないので、本来的にこの恐れはない。

【図面の簡単な説明】

【図1】 走査用シフトレジスタを組み込んだTFTアレイ基板を示す図。

【図2】 この発明の多結晶シリコンTFTアレイ検査装置を示す図。

【図3】 多結晶TFTアレイ基板のデータバスの内の1列を示す図。

【図4】 TFTアレイ検査装置の動作のタイミングチャート。

【符号の説明】

6 サンプルホールド回路

7 スライス回路

8 可変利得増幅回路

10 画像処理装置

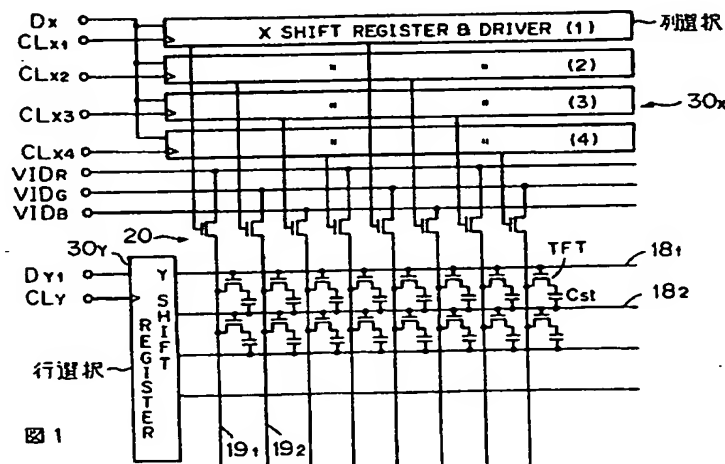
30 走査用シフトレジスタ

50 アレイ基板

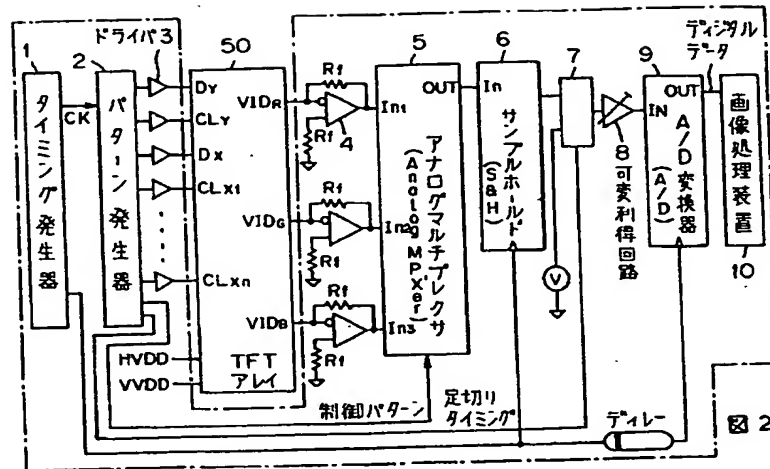
C 寄生容量

P 画素

【図1】

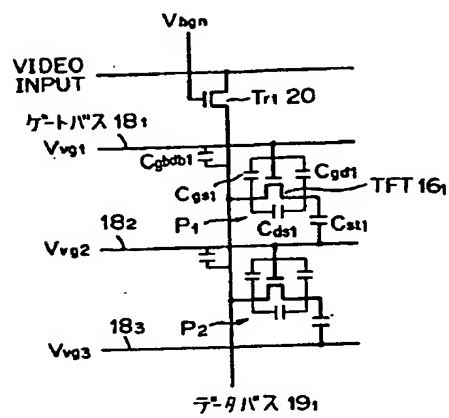


【図2】



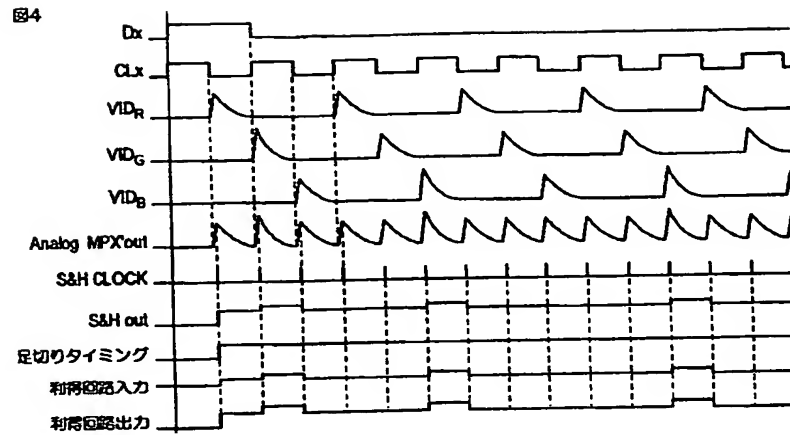
【図3】

図 3





【図4】



フロントページの続き

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

G01R 31/00  
 G01R 31/28  
 G01R 27/26  
 G02F 1/13  
 G02F 1/1365